Глава 1

Обзор архитектуры Z280

* 1. ВВЕДЕНИЕ

Микропроцессорный блок Z280\* (MPU) оснащен усовершенствованным 16-разрядным процессором, который совместим с объектным кодом процессора Z80®. Микропроцессорный блок Z280 включает в себя управление памятью, периферийные устройства, логику обновления памяти, кэш-память, генераторы состояний ожидания и тактовый генератор на той же интегральной схеме, что и центральный процессор. Встроенные периферийные устройства включают в себя 4 канала DMA (прямого доступа к памяти), 3 счетчика/таймера и UART (универсальный асинхронный приемник/передатчик)• Структурная схема MPU Z280 показана на рисунке 1-1. В этой главе представлены некоторые особенности семейства MPU Z280, а подробные описания различных аспектов работы процессора приведены в последующих главах. MPU Z280 имеет мультиплексированную шину адреса/данных для связи с внешней памятью и периферийными устройствами. Z280 поддерживает две различные структуры шин: 8-разрядную шину данных, использующую сигналы управления шиной Z80, и 16-разрядную шину данных, использующую сигналы управления шиной Z-BUS®. Периферийные устройства семейств Zilog Z80 и Z8500 легко подключаются к шине Z80; Периферийные устройства семейства Zilog Z8000® легко подключаются к Z-шине.

* 1. АРХИТЕКТУРНЫЕ ОСОБЕННОСТИ MPU

Центральный процессор Z280 MPU является двоично-совместимым расширением архитектуры процессора Z80. Высокая пропускная способность процессора Z280 достигается за счет высокой тактовой частоты, конвейерной обработки команд и использования встроенной кэш-памяти. Тактовая частота внутреннего процессора может быть уменьшена, чтобы обеспечить более медленную синхронизацию транзакций по шине. На кристалле предусмотрен программируемый механизм обновления для динамических ОЗУ и генератор тактовых импульсов.

Глава 3

Регистры управления CPU

3.1 Введение

Несколько регистров управления процессором и состояния определяют режим работы MPU Z280. Существует два типа регистров управления процессором: системные регистры конфигурации и регистры состояния системы. Регистры конфигурации системы содержат информацию о физической конфигурации системы на базе Z280, такую как информация о синхронизации шины. Как правило, регистры конфигурации системы загружаются один раз во время инициализации системы и не изменяются при последующих операциях. Регистры состояния системы содержат информацию, которая может изменяться во время работы системы, такую как текущая страница ввода-вывода. Доступ к регистрам управления процессором ограничен только для работы в системном режиме с использованием инструкции privileged Load Control (LDCTL). Сброс инициализирует управляющие регистры, чтобы объектная программа Z80 успешно выполнялась на MPU Z280. (Программы Z80 не влияют на эти регистры, поскольку команда управления загрузкой не является частью набора команд центрального процессора Z80.) Неиспользуемые биты в этих регистрах всегда должны быть заполнены нулями.

3.2 РЕГИСТРЫ КОНФИГУРАЦИИ СИСТЕМЫ

Существует четыре 8-разрядных регистра конфигурации системы: регистр синхронизации и инициализации шины, регистр синхронизации и управления шиной, регистр локального адреса и регистр управления кэшем.

3.2.1 Регистр синхронизации и инициализации шины

Регистр синхронизации и инициализации шины управляет масштабированием тактовой частоты процессора для синхронизации шины, длительностью транзакций по шине до нижней половины физической памяти и включением многопроцессорного режима и режима начальной загрузки. На рисунке 3-1 показаны битовые поля в этом регистре.

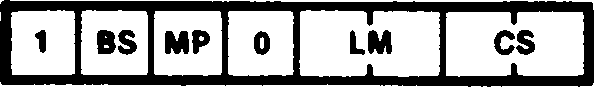
Поле масштабирования тактовой частоты (CS). Это 2-разрядное поле управляет масштабированием тактовой частоты процессора для генерации циклов синхронизации шины. Состояние поля CS определяет тактовую частоту шины для всех транзакций шины, согласно таблице 3-1. Это поле инициализируется во время операции сброса, как описано ниже, и не может быть изменено с помощью программного обеспечения.

Рисунок 3-1. Регистр синхронизации шины и инициализации

Таблица 3-1. Поле CS регистра синхронизации шины и инициализации

Поле CS тактовой частоты шины

00 . Тактовая частота шины равна 1fe тактовой частоте процессора (один такт шины на каждые два такта процессора)

01 Тактовая частота шины равна тактовой частоте процессора (один такт шины на каждый такт процессора)

10 Тактовая частота шины равна V» Тактовой частоте процессора

(один такт шины на каждые четыре такта процессора. циклов) 1 ..

11 Зарезервировано

Поле Low Memory Wait Insertion (LM). Это 2-разрядное поле определяет количество автоматических состояний ожидания для вставки транзакций в память в меньшие 8 мегабайт физической памяти (то есть во все ячейки памяти, где бит 23 физического адреса равен 0), согласно таблице 3-2. Дополнительные состояния ожидания все еще могут быть добавлены к любой заданной транзакции памяти с помощью управления вводом ОЖИДАНИЯ.